

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61055936 A**

(43) Date of publication of application: **20.03.86**

(51) Int. Cl.

H01L 21/66

H01L 21/88

(21) Application number: **59177951**

(71) Applicant: **NEC IC MICROCOMPUT SYST LTD**

(22) Date of filing: **27.08.84**

(72) Inventor: **MORI NOBUYUKI**

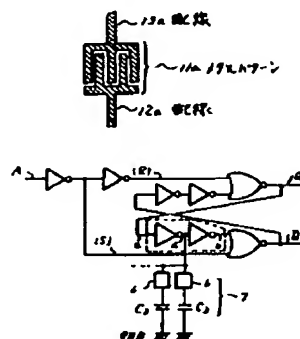
(54) **SEMICONDUCTOR INTEGRATED CIRCUIT**

COPYRIGHT: (C)1986,JPO&Japio

(57) Abstract:

PURPOSE: To effect the analysis of operation failure at sample production rapidly, accurately and easily by bringing the comb-form metal patterns which are exposed on the uppermost layer part of the element in close approach to each other and energizing with pressure-touching said close approach part from the outside of the element with a probe.

CONSTITUTION: The comb-form metal patterns 12a and 13a are the wiring connected with a metal pattern 11a. If the metal patterns 11aW13a are designed at a time of designing masks and are incorporated in the position of a switch 6, a capacitor C can be added in point (d) easily by energizing with pressure-touching the metal pattern with a probe when analyzing failures of IC to deform the metal pattern. Consequently, because there is no need of making a mask newly, days for development and cost for fabrication of masks can be saved and the accurate and rapid analysis of operation failure is possible.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-55936

⑪ Int.Cl.⁴

H 01 L 21/66
21/88

識別記号

庁内整理番号

7168-5F
6708-5F

⑬ 公開 昭和61年(1986)3月20日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭59-177951

⑯ 出 願 昭59(1984)8月27日

⑰ 発 明 者 森 信 幸 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑱ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

外部からの探針の圧接触により短絡可能に相対し近接して配置された二つのくし形のメタルパターンを有する金属配線を含むことを特徴とする半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路に関し、特にその金属配線パターンを改良した半導体集積回路に関する。

(従来の技術)

従来、半導体集積回路(以下、ICという。)の試作時の設計動作検証において、動作不良が発生した場合、ICの素子の外部から例えば、第2図に示すように、インバータ出力線(素子上

層部の金属配線)dに探針1を圧接触させ、例えば図示のように、コンデンサC₁などの適切な受動素子を外部から付加するか、あるいはICの素子内部にあらかじめ第3図に示すように半導体コンデンサC₂などの受動素子を用意するなどして動作不良解析を行っていた。なお、第2図において、2、3はコンデンサC₁の端子である。又、第3図はp⁺拡散層とポリシリコンからなる半導体コンデンサであり、ポリシリコン間隙4を探針の圧接触部とする。

ここで、従来マスク設計時に失敗しやすい、スタティックトランスファ保持回路のデータの簡抜けと、その動作不良解析について述べる。

第4図に示すスタティックトランスファ保持回路で、マスク設計時に設計ミスをして、第5図(b)の様にQ、 \bar{Q} のクロック信号が重なる区間5が出来てしまうと、入力データが出力端に直接出力される簡抜け状態が発生する。なお、第5図(a)は簡抜け状態が発生していないときのタイムチャートである。このような場合、 \bar{Q} のクロック信号とQ

のクロック信号の間隔を広く取り信号の重なりを無くせば良い。その方法として、クロック信号 Q 、 \bar{Q} を発生する第6図のR-Sフリップの出力 \bar{Q} をある手段で遅延出来れば、クロック信号 Q 、 \bar{Q} の重なりを無くすることが可能である。

その一手段として、第6図の様にコンデンサ C_3 をd点にスイッチ6により接続し \bar{Q} の遅延を行う事により、第7図(b)に示す Q 、 \bar{Q} の間隔8が広がる。(第7図(a)は第6図において、コンデンサ C_3 を挿入する前のタイムチャート、第7図(b)はコンデンサ C_3 を挿入後のタイムチャートである。)第6図7の様にコンデンサ C_3 をd点に接続するには、従来第3図に示すとおりマスクパターンをマスク設計時に設計しておき、動作不良が発生した場合のみ、ポリシリコン間隙4を接続してコンデンサ C_3 を第6図のd点に接続し、不良解析を行う。

しかし、この方法では、マスクを新たに作り替える必要があり、開発日数、マスク製作費の浪費となるという欠点がある。更に、第2図に示す針

立て方法で不良解析を行えば、金属配線上に常に探針1を同一圧力で接触させておく必要があり、微振動が発生した場合に常に探針1を同一圧力で接触させておく事が困難である。又、第2図に示すコンデンサ C_3 を接続したとき、端子2は探針1へ、端子3はグランド(GND)にそれぞれ接続されるのであるが、通常針立て装置はグランドレベルにあるために、余分な浮遊容量が探針1とICの素子との間に付加されてしまつて、希望する容量値を付加することが不可能であり、正確かつ、迅速な動作不良解析が行えないという欠点がある。

(発明の目的)

本発明の目的は、上記欠点を除去し、少ない費用、迅速かつ正確、容易に半導体集積回路試作時における動作不良解析を行うことを可能とする半導体集積回路を提供することにある。

(発明の構成)

本発明の半導体集積回路は、外部からの探針の圧接触により短絡可能に相対し近接して配置され

た二つのくし形のメタルパターンを有する金属配線を含むことから構成される。

(作用)

本発明の特徴は、上記構成に示すように、半導体集積回路において、素子最上層部に露出しているくし形の金属配線パターン同士を互いに接近させこの接近部を素子外部から探針により圧接触し、導通させて一極のスイッチ作用を行えるようにしたことにある。

(実施例)

以下、本発明の実施例について図面を参照して説明する。

第1図(a)、(b)及び(c)はそれぞれ本発明の第1、第2及び第3の実施例の要部を示す配線パターン図で、くし形のメタルパターン部分を示す。同図において、11a、11b、11cはそれぞれくし形のメタルパターンで、12a、12b、12c及び13a、13b、13cはそれぞれメタルパターン11a、11b、11cに接続する配線である。

すなわち、これらの実施例においては、まず第1図(a)、(b)、(c)に示したメタルパターンをマスク設計時に設計しておき、第6図のスイッチ6の位置に組み込んでおけば、ICの不良解析時に、このメタルパターンを探針により圧接触しメタルパターンを変形して導通させる事により、第6図のd点にコンデンサ C_3 を容易に付加することが出来、上記の二つの従来例と比較して、マスクを新たに作り替えることがないので、開発日数、マスク製作費用を節約出来、また正確で迅速な動作不良解析を行う事が可能である。

更に、不良解析を行った結果、第6図d点に付けた容量を実際に付けてもかまわない場合、マスク改版時に第6図のスイッチ6のメタルパターンを導通するよう設計すれば、マスク1枚で簡単に修正が可能である。

(発明の効果)

以上、詳細説明したとおり、本発明の半導体集積回路は素子最上層部に露出しているくし形のメタルパターン同士を互いに接近させ、この接近部

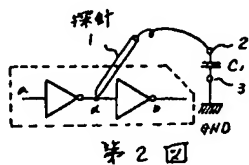
を素子外部から探針で圧接触し、導通させ、いわゆるスイッチ作用を持つように構成されているので、動作不良解析を行うための受動素子をこのスイッチをオンとすることで集積回路に新たに挿入出来、費用、時間の無駄を無くして、正確な不良解析が行なえるという効果がある。

4. 図面の簡単な説明

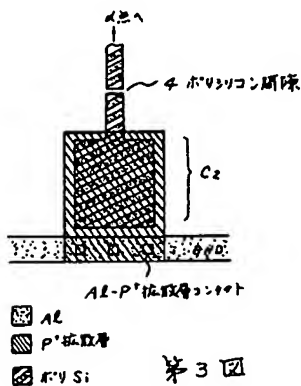
第1図(a)、(b)及び(c)はそれぞれ本発明の第1、第2及び第3の実施例のくし形のメタルパターン部分を示す配線パターン図、第2図は探針による素子の不良解析方法の説明図、第3図は半導体コンデンサのパターン図、第4図は従来例のスタティックトランスファ保持回路を示す回路図、第5図(a)、(b)はそのタイムチャート、第6図は従来例のR-Sフリップフロップ回路を示す回路図、第7図(a)、(b)はそのタイムチャートである。

11a、11b、11c……くし形のメタルパターン、12a、12b、12c、13a、13b、13c……配線。

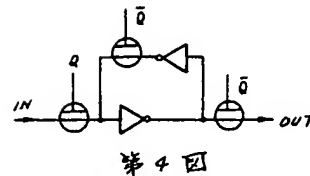
代理人 弁理士 内 原 啓



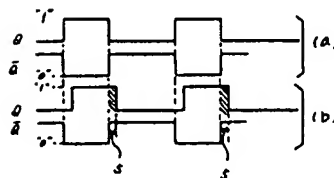
第2図



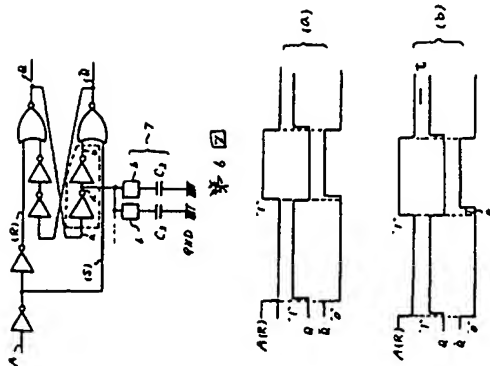
第3図



第4図

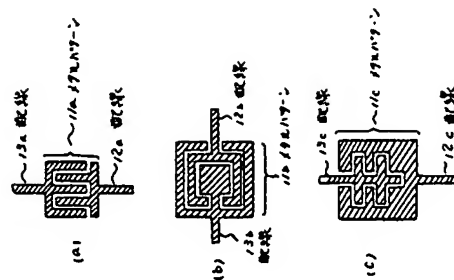


第5図



第6図

第7図



第7図